

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-090670

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

G11C 11/409

G11C 11/401

G11C 29/00

(21)Application number : 10-256236

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.09.1998

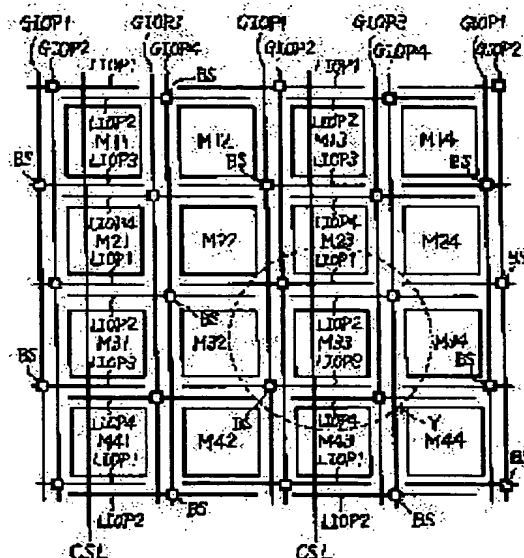
(72)Inventor : KATO HIROSHI  
OISHI TSUKASA

## (54) SEMICONDUCTOR MEMORY

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory capable of a high speed data transfer with a small area penalty.

SOLUTION: Two pairs of global IO lines GIOP are provided between each of a plurality of memory blocks, a pair of local IO lines LIOP common to memory blocks on the N-th and (N+1)-th rows are provided, a pair of local IO lines common to memory blocks on the (N+1)-th and (N+2)-th rows are provided, and block select switches BS are provided at intersections of central parts of each local IO line pair and global IO line pair. Compared with the prior art with block select switches provided at the ends or central parts of each local IO line pair, a high speed data transfer can be made.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-90670

(P2000-90670A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード (参考)

G 1 1 C 11/409

G 1 1 C 11/34

3 5 4 R 5 B 0 2 4

11/401

29/00

6 0 3 F 5 L 1 0 6

29/00

6 0 3

11/34

3 6 2 H

3 7 1 D

審査請求 未請求 請求項の数10 O L (全 19 頁)

(21) 出願番号

特願平10-256236

(22) 出願日

平成10年9月10日 (1998.9.10)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 加藤 宏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

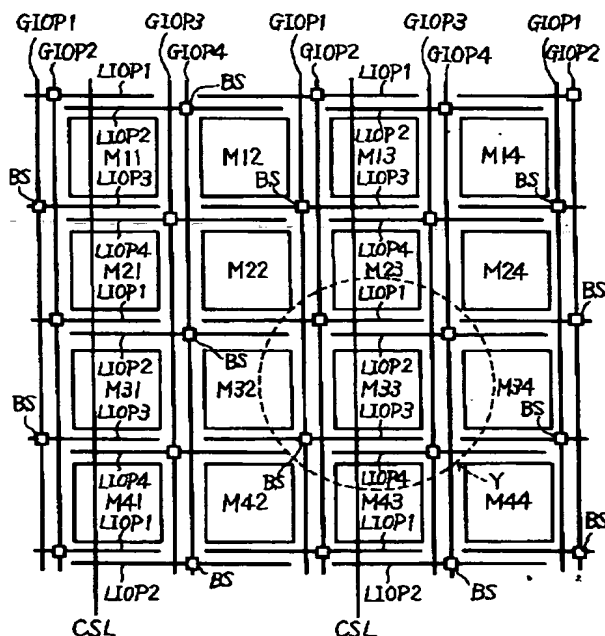
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 エリアペナルティが小さく、かつ高速なデータ転送が可能な半導体記憶装置を提供する。

【解決手段】 複数のメモリブロック列の各間に2組のグローバルI/O線対G I O Pを設け、第Nおよび第N+1番の列のメモリブロックに共通にローカルI/O線対L I O Pを設け、第N+1および第N+2番のメモリブロックに共通にローカルI/O線対を設け、各ローカルI/O線対の中央部とグローバルI/O線対との交差部にブロック選択スイッチBSを設ける。各ローカルI/O線対の端部または中央部にブロック選択スイッチを設けていた従来に比べ、高速なデータ転送が可能となる。



## 【特許請求の範囲】

【請求項1】 行列状に配列された複数のメモリブロックを備えた半導体記憶装置であって、  
 複数のメモリブロック列の各間の領域に設けられた第1および第2のグローバルI/O線対、  
 複数のメモリブロック行の各間の領域に設けられ、第Nおよび第N+1番（ただし、Nは自然数である）の列のメモリブロックに共通に設けられた第1のローカルI/O線対、  
 複数のメモリブロック行の各間の領域に設けられ、第N+1および第N+2番の列のメモリブロックに共通に設けられた第2のローカルI/O線対、  
 第Mおよび第M+1番（ただし、Mは自然数である）のメモリブロック行の間の領域に設けられ、前記第1および第2のローカルI/O線対の各々の中央部と前記第1のグローバルI/O線対の交差部の各々に設けられた第1のスイッチ手段、  
 第M+1および第M+2番のメモリブロック行の間の領域に設けられ、前記第1および第2のローカルI/O線対の各々の中央部と前記第2のグローバルI/O線対との交差部の各々に設けられた第2のスイッチ手段、  
 行アドレス信号に従って複数のメモリブロック行のうちのいずれかのメモリブロック行を選択する行選択手段、  
 列アドレス信号に従って複数のメモリブロック列のうちのいずれかのメモリブロック列を選択する列選択手段、  
 前記第1および第2のスイッチ手段を制御して、前記行選択手段および前記列選択手段によって選択されたメモリブロックに対応する2組の第1および第2のローカルI/O線対と2組の第1および第2のグローバルI/O線対とを結合させる制御手段、および前記第1および第2のグローバルI/O線対に接続され、データの入出力を行なうデータ入出力手段を備える、半導体記憶装置。

【請求項2】 前記第1のスイッチ手段は、前記第1または第2のローカルI/O線対の中央部と前記第1のグローバルI/O線対との間に接続された1対のトランスファゲートを含み、  
 前記第2のスイッチ手段は、前記第1または第2のローカルI/O線対の中央部と前記第2のグローバルI/O線対との間に接続された1対のトランスファゲートを含む、  
 請求項1に記載の半導体記憶装置。

【請求項3】 前記第1のスイッチ手段は、前記第1または第2のローカルI/O線対の電位差を増幅して前記第1のグローバルI/O線対に与える増幅器を含み、  
 前記第2のスイッチ手段は、前記第1または第2のローカルI/O線対の電位差を増幅して前記第2のグローバルI/O線対に与える増幅器を含む、請求項1に記載の半導体記憶装置。

【請求項4】 さらに、前記第1のローカルI/O線対が前記第1および第2のスイッチ手段の各々の両側で切断されて各切断部に第3のスイッチ手段が設けられ、

前記第2のローカルI/O線対が前記第1および第2のスイッチ手段の各々の両側で切断されて各切断部に第4のスイッチ手段が設けられ、

前記制御手段は、さらに、前記第3および第4のスイッチ手段を制御して、前記第1および第2のローカルI/O線対のうちの前記行選択手段および前記列選択手段によって選択されたメモリブロックに対応する部分と前記第1および第2のグローバルI/O線対とを結合させ、前記第1および第2のローカルI/O線対のうちの他の部分と前記第1および第2のグローバルI/O線対とを切り離す、請求項1から請求項3のいずれかに記載の半導体記憶装置。

【請求項5】 各メモリブロックは、  
 行列状に配列された複数のメモリセル、  
 各行に対応して設けられたワード線、および各列に対応して設けられ、予め4組ずつグループ化されたビット線対を含み、前記半導体記憶装置は、  
 さらに、複数の前記ビット線対グループのうちの少なくとも1つのビット線対グループに対応して、同じメモリブロック列に属するメモリブロックに共通に設けられたスペア列選択線、  
 複数の前記ビット線対グループのうちの前記スペア列選択線が設けられたビット線対グループ以外の各ビット線対グループに対応して、同じメモリブロック列に属する複数のメモリブロックに共通に設けられた列選択線、および各スペア列選択線に対応して設けられ、複数の前記列選択線のうちの不良列選択線に割当てられた列アドレス信号がプログラムされ、入力されたアドレス信号とプログラムされた列アドレス信号が一致したことに応じて、対応のスペア列選択線を選択するアドレスコンパレータを備え、

前記列選択手段は、さらに、選択したメモリブロック列に対応する複数の前記列選択線のうちの前記アドレスコンパレータにプログラムされた不良列選択線以外のいずれかの列選択線を選択し、

前記行選択手段は、さらに、選択したメモリブロック行のうちの前記アドレスコンパレータまたは前記列選択手段によって選択されたスペア列選択線または列選択線に対応するメモリブロックのうちのいずれかのワード線を選択し、

前記制御手段は、さらに、前記アドレスコンパレータまたは前記列選択手段によって選択されたスペア列選択線または列選択線に対応するビット線対グループと、前記行選択手段によって選択されたワード線とに対応する各メモリセルを対応の第1または第2のローカルI/O線対に結合させる、請求項1から請求項3のいずれかに記載の半導体記憶装置。

【請求項6】 各アドレスコンパレータには、対応のスペア列選択線が属するメモリブロック列に属する不良列選択線の列アドレス信号がプログラムされる、請求項5

に記載の半導体記憶装置。

【請求項7】 前記列選択手段は、複数の奇数番のメモリブロック列と複数の偶数番のメモリブロック列とのうちのいずれか一方を選択し、

各アドレスコンパレータには、対応のスペア列選択線が属するメモリブロック列または該メモリブロック列に隣接するメモリブロック列に属する不良列選択線の列アドレス信号がプログラムされ、

各アドレスコンパレータは、複数の奇数番のメモリブロック列または複数の偶数番のメモリブロック列に共通に設けられる、請求項5に記載の半導体記憶装置。

【請求項8】 さらに、前記第1のローカルIO線対が前記第1および第2のスイッチ手段の各々の両側で切断されて各切断部に第3のスイッチ手段が設けられ、

前記第2のローカルIO線対が前記第1および第2のスイッチ手段の各々の両側で切断されて各切断部に第4のスイッチ手段が設けられ、

延在方向に隣接する2つの第1のローカルIO線対間に第5のスイッチ手段が設けられ、

延在方向に隣接する2つの第2のローカルIO線対間に第6のスイッチ手段が設けられ、

前記列選択手段は、複数の奇数番のメモリブロック列と複数の偶数番のメモリブロック列とのうちのいずれか一方を選択し、

前記制御手段は、さらに、前記第3～第6のスイッチ手段を制御して、前記行選択手段および前記列選択手段によって選択された各メモリブロックに対応する2組の第1および第2のローカルIO線対と2組の第1および第2のグローバルIO線対とを結合させる、請求項5に記載の半導体記憶装置。

【請求項9】 各アドレスコンパレータには、対応のスペア列選択線が属するメモリブロック列または該メモリブロック列に隣接するメモリブロック列に属する不良列選択線の列アドレス信号がプログラムされ、

前記制御手段は、前記アドレスコンパレータ、前記列選択手段および前記行選択手段によって隣接する2つのメモリブロックが選択された場合には、該2つのメモリブロックの間の領域の第1および第2のグローバルIO線対でデータが衝突しないように、該2つのメモリブロックのうちの一方のメモリブロックに対応する第1および第2のローカルIO線対のうちの一方を該一方のメモリブロックの両側の領域以外の領域の第1および第2のグローバルIO線対に結合させる、請求項8に記載の半導体記憶装置。

【請求項10】 各アドレスコンパレータには、対応のスペア列選択線が属するメモリブロック列または該メモリブロック列に隣接するメモリブロック列に属する不良列選択線の列アドレス信号がプログラムされ、

前記列選択手段は、列アドレス信号に従って、前記アドレスコンパレータにプログラムされた不良列選択線も選

択し、

前記制御手段は、前記アドレスコンパレータ、前記列選択手段および前記行選択手段によって隣接する3つのメモリブロック部が選択された場合は、第1および第2のローカルIO線対のうちの不良列選択線に対応するメモリブロックに対応する部分を第1および第2のグローバルIO線対と切離し、他の2つのメモリブロックの間の領域の第1および第2のグローバルIO線対でデータが衝突しないように、該2つのメモリブロックのうちの一方のメモリブロックに対応する第1および第2のローカルIO線対のうちの一方を該一方のメモリブロックの両側の領域以外の領域の第1および第2のグローバルIO線対に結合させる、請求項8に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に、行列状に配列された複数のメモリブロックを備えた半導体記憶装置に関する。

【0002】

【従来の技術】図20は、従来のダイナミックランダムアクセスメモリ（以下、DRAMと称す）のメモリマップの要部を示す図である。図20を参照して、メモリマップは、複数行複数列（図では4行4列）に配置された複数の（図では16）のメモリブロックM11～M44を備える。

【0003】メモリブロック列M11～M41；…M14～M44の各々の両側にそれぞれ2組のグローバルIO線対GIOP1、GIOP2とGIOP3、GIOP4が配置される。各グローバルIO線対GIOPは、同じ列の4つのメモリブロックで共用される。

【0004】第1のメモリブロック列M11～M41の上下両側および各間に2組のローカルIO線対LIOP1、LIOP2とLIOP3、LIOP4が交互に配置される。図において上下方向に隣接する2つのメモリブロック間のローカルIO線対LIOPは、上下方向に隣接する2つのメモリブロックで共用される。他のメモリブロック列も同様である。

【0005】GIOP1とLIOP3、GIOP2とLIOP4、GIOP3とLIOP1、GIOP4とLIOP2の各々の交差部にブロック選択スイッチBS（図中□印で示される）が配置される。

【0006】4つのメモリブロック行のうちのいずれか1つのメモリブロック行（たとえばM31～M34）と、4つのメモリブロック列のうちの奇数番または偶数番のブロック列（たとえばM11～M41とM13～M43）とが選択され、それらの交差部に位置する2つのメモリブロック（この場合はM31とM33）の各々の右上および左下の4つのブロック選択スイッチBSが導通する。メモリブロックM31、M33の各々において、4ビットのデータの読出／書込が可能となる。

【0007】図21は、従来の他のDRAMのメモリマットの要部を示す図である。図21を参照して、メモリマットは、図20のDRAMと同様、4行4列に配列された16のメモリブロックM11～M44を備える。

【0008】4つのメモリブロック列M11～M41；…M14～44の左右両側および各間に2組のグローバルIO線対GIOP1、GIOP2とGIOP3、GIOP4が交互に配置される。グローバルIO線対GIOP1、GIOP2は、両側のブロック列で共用される。グローバルIO線対GIOP3、GIOP4は、それぞれ同じ列のブロックで共用される。

【0009】中央の4つのメモリブロック行M12、M13；…；M42、M43の上下両側および各間に2組のローカルIO線対LIOP1、LIOP2とLIOP3、LIOP4が交互に配置される。GIOP1とLIOP4、GIOP2とLIOP1、GIOP3とLIOP2、GIOP4とLIOP3の各々の交差部にブロック選択スイッチBSが配置される。上下左右の方向においても、同じ周期でローカルIO線対LIOP1～LIOP4およびブロック選択スイッチBSが配置される。

【0010】図20のDRAMと同様にして、たとえばメモリブロックM31、M33が選択されると、メモリブロックM31、M33の各々はローカルIO線対LIOP1～LIOP4およびブロック選択スイッチBSを介してグローバルIO線対GIOP1～GIOP4に接続される。これにより、メモリブロックM31、M33の各々において4ビットのデータの読出／書込が可能となる。

【0011】

【発明が解決しようとする課題】しかし、図20のDRAMでは、隣接する2つのメモリブロック列の間に4組のグローバルIO線対GIOPが設けられていたので、エリアペナルティが大きいという問題があった。また、各読出／書込サイクルにおいて、全体のうちの半分のローカルIO線対LIOPおよびグローバルIO線対GIOPは使用されず、ローカルIO線対LIOPおよびグローバルIO線対GIOPが有効に活用されていなかった。

【0012】一方、図21のDRAMでは、隣接する2つのメモリブロック間に2組のグローバルIO線対GIOPを設けたので、図20のDRAMの問題点は解消された。しかし、ブロック選択スイッチBSがローカルIO線対LIOPの中央部に位置する場合と端部に位置する場合とがあり、ブロック選択スイッチBSがローカルIO線対LIOPの端部に位置する場合はデータ転送経路が長くなり、データ転送速度が遅くなるという問題があった。

【0013】それゆえに、この発明の主たる目的は、エリアペナルティが小さく、かつ高速なデータ転送が可能な半導体記憶装置を提供することである。

【0014】

【課題を解決するための手段】請求項1に係る発明は、行列状に配列された複数のメモリブロックを備えた半導体記憶装置であって、第1および第2のグローバルIO線対、第1および第2のローカルIO線対、第1および第2のスイッチ手段、行選択手段、列選択手段、制御手段、およびデータ入出力手段を備える。第1および第2のグローバルIO線対は、複数のメモリブロック列の各間の領域に設けられる。第1のローカルIO線対は、複数のメモリブロック行の各間の領域に設けられ、第Nおよび第N+1番（ただし、Nは自然数である）の列のメモリブロックに共通に設けられる。第2のローカルIO線対は、複数のメモリブロック行の各間の領域に設けられ、第N+1および第N+2番の列のメモリブロックに共通に設けられる。第1のスイッチ手段は、第Mおよび第M+1番（ただし、Mは自然数である）のメモリブロック行の間の領域に設けられ、第1および第2のローカルIO線対の各々の中央部と第1のグローバルIO線対の交差部の各々に設けられる。第2のスイッチ手段は、第M+1および第M+2番のメモリブロック行の間の領域に設けられ、第1および第2のローカルIO線対の各々の中央部と第2のグローバルIO線対との交差部の各々に設けられた。行選択手段は、行アドレス信号に従って複数のメモリブロック行のうちのいずれかのメモリブロック行を選択する。列選択手段は、列アドレス信号に従って複数のメモリブロック列のうちのいずれかのメモリブロック列を選択する。制御手段は、第1および第2のスイッチ手段を制御して、行選択手段および列選択手段によって選択されたメモリブロックに対応する2組の第1および第2のローカルIO線対と2組の第1および第2のグローバルIO線対とを結合させる。データ入出力手段は、第1および第2のグローバルIO線対に接続され、データの入出力を行なう。

【0015】請求項2に係る発明では、請求項1に係る発明の第1のスイッチ手段は、第1または第2のローカルIO線対の中央部と第1のグローバルIO線対との間に接続された1対のトランスファゲートを含む。第2のスイッチ手段は、第1または第2のローカルIO線対の中央部と第2のグローバルIO線対との間に接続された1対のトランスファゲートを含む。

【0016】請求項3に係る発明では、請求項1に係る発明の第1のスイッチ手段は、第1のまたは第2のローカルIO線対の電位差を増幅して第1のグローバルIO線対に与える増幅器を含む。第2のスイッチ手段は、第1または第2のローカルIO線対の電位差を増幅して第2のグローバルIO線対に与える増幅器を含む。

【0017】請求項4に係る発明では、請求項1から3のいずれかに係る発明に、さらに、第1のローカルIO線対が第1および第2のスイッチ手段の各々の両側で切断されて各切断部に第3のスイッチ手段が設けられ、第

2のローカルIO線対が第1および第2のスイッチ手段の各々の両側で切断されて各切断部に第4のスイッチ手段が設けられる。制御手段は、さらに、第3および第4のスイッチ手段を制御して、第1および第2のローカルIO線対のうちの行選択手段および列選択手段によって選択されたメモリブロックに対応する部分と第1および第2のグローバルIO線対とを結合させ、第1および第2のローカルIO線対のうちの他の部分と第1および第2のグローバルIO線対とを切り離す。

【0018】請求項5に係る発明では、請求項1から3のいずれかに係る発明の各メモリブロックは、行列状に配列された複数のメモリセル、各行に対応して設けられたワード線、および各列に対応して設けられ、予め4組ずつグループ化されたビット線対を含む。半導体記憶装置は、さらに、スベア列選択線、列選択線、およびアドレスコンパレータを備える。スベア列選択線は、複数のビット線対グループのうちの少なくとも1つのビット線対グループに対応して、同じメモリブロック列に属するメモリブロックに共通に設けられる。列選択線は、複数のビット線対グループのうちのスベア列選択線が設けられたビット線対グループ以外の各ビット線対グループに対応して、同じメモリブロック列に属する複数のメモリブロックに共通に設けられる。アドレスコンパレータは、各スベア列選択線に対応して設けられ、複数の列選択線のうちの不良列選択線に割当てられた列アドレス信号がプログラムされ、入力されたアドレス信号とプログラムされた列アドレス信号が一致したことに応じて、対応のスベア列選択線を選択する。列選択手段は、さらに、選択したメモリブロック列に対応する複数の列選択線のうちのアドレスコンパレータにプログラムされた不良列選択線以外のいずれかの列選択線を選択する。行選択手段は、さらに、選択したメモリブロック行のうちのアドレスコンパレータまたは列選択手段によって選択されたスベア列選択線または列選択線に対応するメモリブロックのうちのいずれかのワード線を選択する。制御手段は、さらに、アドレスコンパレータまたは列選択手段によって選択されたスベア列選択線または列選択線に対応するビット線対グループと、行選択手段によって選択されたワード線とに対応する各メモリセルを対応の第1または第2のローカルIO線対に結合させる。

【0019】請求項6に係る発明では、請求項5に係る発明の各アドレスコンパレータには、対応のスベア列選択線が属するメモリブロック列に属する不良列選択線の列アドレス信号がプログラムされる。

【0020】請求項7に係る発明では、請求項5に係る発明の列選択手段は、複数の奇数番のメモリブロック列と複数の偶数番のメモリブロック列とのうちのいずれか一方を選択する。各アドレスコンパレータには、対応のスベア列選択線が属するメモリブロック列または該メモリブロック列に隣接するメモリブロック列に属する不良

列選択線の列アドレス信号がプログラムされる。各アドレスコンパレータは、複数の奇数番のメモリブロック列または複数の偶数番のメモリブロック列に共通に設けられる。

【0021】請求項8に係る発明では、請求項5に係る発明に、さらに、第1のローカルIO線対が第1および第2のスイッチ手段の各々の両側で切断されて各切断部に第3のスイッチ手段が設けられ、第2のローカルIO線対が第1および第2のスイッチ手段の各々の両側で切断されて各切断部に第4のスイッチ手段が設けられ、延在方向に隣接する2つの第1のローカルIO線対間に第5のスイッチ手段が設けられ、延在方向に隣接する2つの第2のローカルIO線対間に第6のスイッチ手段が設けられる。列選択手段は、複数の奇数番のメモリブロック列と複数の偶数番のメモリブロック列とのうちのいずれか一方を選択する。制御手段は、さらに、第3〜第6のスイッチ手段を制御して、行選択手段および列選択手段によって選択された各メモリブロックに対応する2組の第1および第2のローカルIO線対と2組の第1および第2のグローバルIO線対とを結合させる。

【0022】請求項9に係る発明では、請求項8に係る発明の各アドレスコンパレータには、対応のスベア列選択線が属するメモリブロック列またはそのメモリブロック列に隣接するメモリブロック列に属する不良列選択線の列アドレス信号がプログラムされる。制御手段は、アドレスコンパレータ、列選択手段および行選択手段によって隣接する2つのメモリブロックが選択された場合は、その2つのメモリブロックの間の領域の第1および第2のグローバルIO線対でデータが衝突しないように、2つのメモリブロックのうちの一方のメモリブロックに対応する第1および第2のローカルIO線対のうちの一方をその一方のメモリブロックの両側の領域以外の領域の第1および第2のグローバルIO線対に結合させる。

【0023】請求項10に係る発明では、請求項8に係る発明の各アドレスコンパレータには、対応のスベア列選択線が属するメモリブロック列またはそのメモリブロック列に隣接するメモリブロック列に属する不良列選択線の列アドレス信号がプログラムされる。列選択手段は、列アドレス信号に従って、アドレスコンパレータにプログラムされた不良列選択線も選択する。制御手段は、アドレスコンパレータ、列選択手段および行選択手段によって隣接する3つのメモリブロック部が選択された場合は、第1および第2のローカルIO線対のうちの不良列選択線に対応するメモリブロックに対応する部分を第1および第2のグローバルIO線対と切り離し、他の2つのメモリブロックの間の領域の第1および第2のグローバルIO線対でデータが衝突しないように、それらの2つのメモリブロックのうちの一方のメモリブロックに対応する第1および第2のローカルIO線対のうちの

一方を一方のメモリブロックの両側の領域以外の領域の第1および第2のグローバルIO線対に結合させる。

【0024】

【発明の実施の形態】〔実施の形態1〕図1は、この発明の実施の形態1によるDRAMの全体構成を示すブロック図である。図1を参照して、このDRAMは、クロック発生回路1、行および列アドレスバッファ2、行デコーダ3、列デコーダ4、メモリマット5、入力バッファ8および出力バッファ9を備え、メモリマット5はメモリアレイ6およびセンスアンプ+入出力制御回路7を含む。

【0025】クロック発生回路1は、外部から与えられる制御信号/RAS、/CAS、/Wに基づいて所定の動作モードを選択し、DRAM全体を制御する。

【0026】行および列アドレスバッファ2は、外部から与えられるアドレス信号A0~Ai（ただし、iは0以上の整数である）に基づいて行アドレス信号RA0~RAiおよび列アドレス信号CA0~CAiを生成し、生成した信号RA0~RAiおよびCA0~CAiをそれぞれ行デコーダ3および列デコーダ4に与える。

【0027】メモリアレイ6は、それぞれが1ビットのデータを記憶する複数のメモリセルを含む。各メモリセルは、行アドレスおよび列アドレスによって決定される所定のアドレスに配置される。

【0028】行デコーダ3は、行および列アドレスバッファ2から与えられた行アドレス信号RA0~RAiに応答して、メモリアレイ6の行アドレスを指定する。列デコーダ4は、行および列アドレスバッファ2から与えられた列アドレス信号CA0~CAiに応答して、メモリアレイ6の列アドレスを指定する。

【0029】センスアンプ+入出力制御回路7は、行デコーダ3および列デコーダ4によって指定されたアドレスのメモリセルをグローバルIO線対GIO Pの一方端に接続する。グローバルIO線対GIO Pの他方端は、入力バッファ8および出力バッファ9に接続される。入力バッファ8は、書込モード時に、制御信号/Wに응答して、外部から入力されたデータDj（ただし、jは0以上の整数である）をグローバルIO線対GIO Pを介して選択されたメモリセルに与える。出力バッファ9は、読出モード時に、外部から入力される制御信号/OEに응答して、選択されたメモリセルからの読出データDj外部に出力する。

【0030】図2は、図1に示したDRAMのチップレイアウトを示す図である。図2を参照して、メモリマット5は、4つの長方形のメモリマット5a~5dに分割され、メモリマット5a~5dはそれぞれ長方形の半導体基板10の四隅に配置される。行デコーダ3は4つの行デコーダ3a~3dに分割され、行デコーダ3a~3dはそれぞれメモリマット5a~5dのチップ中央側の長辺に沿って配置される。列デコーダ4は4つの列デ

コーダ4a~4dに分割され、列デコーダ4a~4dはそれぞれメモリマット5a~5dのチップ中央側の短辺に沿って配置される。

【0031】図1のクロック発生回路1、行および列アドレスバッファ2、入力バッファ8および出力バッファ9は、チップ中央部の周辺回路領域11に配置される。

【0032】メモリマット5a~5dの各々において、メモリマットの長辺と同方向に延びる列選択線CSLおよびグローバルIO線対GIO Pと、メモリマットの短辺方向と同方向に延びる主ワード線MWLとが配置される。

【0033】図3は、図2のX部拡大図である。図3を参照して、メモリマット5aは、複数行複数列（図では4行4列）に配置された複数（図では16）のメモリブロックM11~M44を備える。

【0034】4つのメモリブロック列M11~M41；…；M14~M44の左右両側および各間に2組のグローバルIO線対GIO P1、GIO P2とGIO P3、GIO P4が交互に配置される。グローバルIO線対GIO Pは、左右両側の2つのメモリブロック列で共用される。

【0035】中央の4つのメモリブロック行M12、M13；…；M42、M43の上下両側および各間にローカルIO線対LIO P1とLIO P3が交互に配置される。左側の4つのメモリブロック行M11、M12；…；M41、M42の上下両側および各間にローカルIO線対LIO P2とLIO P4が交互に配置される。右側の4つのメモリブロック行M13、M12；…；M43、M44の上下両側および各間にローカルIO線対LIO P2とLIO P4が交互に配置される。すなわち、ローカルIO線対LIO P1とLIO P2、LIO P3とLIO P4は、いわゆる入れ子構造となっている。ローカルIO線対LIO Pは、上下両側の2つのメモリブロックで共用される。

【0036】GIO P1とLIO P3、GIO P2とLIO P1、GIO P3とLIO P4、GIO P4とLIO P2の各々の交差部にブロック選択スイッチBSが配置される。上下左右の方向においても、同じ周期でグローバルIO線対GIO P1~GIO P4、ローカルIO線対LIO P1~LIO P4およびブロック選択スイッチBSが配置される。

【0037】4つのメモリブロック行のうちのいずれか1つのメモリブロック行（たとえばM31~M34）と、4つのメモリブロック列のうちの奇数番または偶数番のメモリブロック列（たとえばM11~M41とM13~M43）とが選択され、それらの交差部に位置する2つのメモリブロック（この場合はM31とM33）の各々の周囲の4つのブロック選択スイッチBSが導通する。メモリブロックM31、M33の各々において、4ビットのデータの読出/書込が可能となる。



【0038】図4は、図3のY部拡大図である。図4を参照して、このメモリマットは、いわゆる交互シェアドセンスアンプ構成を備える。すなわち、メモリブロックM23とM33で共用されるセンスアンプSAがメモリブロックM23とM33の間に配置され、メモリブロックM33とM43で共用されるセンスアンプSAがメモリブロックM33とM43の間に配置される。

【0039】メモリブロックM23とM33の間のセンスアンプSAはメモリブロックM223、M33の奇数番のビット線対BLPに対応して設けられ、メモリブロックM33とM43の間のセンスアンプSAはメモリブロックM33、M43の偶数番のビット線対BLPに対応して設けられる。

【0040】たとえばメモリブロックM33が選択された場合は、図4に示すように、各センスアンプSAはメモリブロックM33の対応のビット線対BLPと接続される。メモリブロックM33の内の選択された4つのセンスアンプSAはそれぞれローカルIO線対LIO1～LIO4に接続され、さらに4つのブロック選択スイッチBSを介してグローバルIO線対GIO1～GIO4に接続される。

【0041】図5は、図4に示したメモリブロックM33の奇数番のビット線対BL、/BLに関連する部分を詳細に示す図である。図5を参照して、メモリブロックM33は、行列状に配列された複数のメモリセルMCと、各行に対応して設けられた副ワード線SWLと、各列に対応して設けられたビット線対BL、/BLを含む。メモリセルMCは、情報記憶用のキャパシタとアクセス用のNチャネルMOSトランジスタを含む周知のものである。

【0042】メモリブロックM33に対応して、隣接するメモリブロックM32との間の領域に副ワードドライバ12が設けられる。副ワードドライバ12は、対応のメモリブロックM33に対応する列選択線CSLが選択されたことに応じて活性化され、行デコーダ3aによって選択された主ワード線MWLと同じ行の副ワード線SWLを選択レベルの「H」レベルにする。

【0043】ビット線対BL、/BLとセンスアンプSAの間に転送ゲート13が設けられる。転送ゲート13は複数のNチャネルMOSトランジスタを含む。各NチャネルMOSトランジスタは、ビット線とセンスアンプの間に接続され、そのゲートが信号φ33を受ける。メモリブロックM33が選択されると、信号φ33が「H」レベルとなって転送ゲート13が導通し、メモリブロックM33のビット線対BL、/BLとセンスアンプSAとが結合される。

【0044】センスアンプSAは、予め2つずつグループ化されており、各グループのセンスアンプSAは列選択ゲートCSGを介してローカルIO線対LIO1、/LIO1またはLIO2、/LIO2に接続される。列

選択ゲートCSGは4つのNチャネルMOSトランジスタを含む。各NチャネルMOSトランジスタは、センスアンプSAとローカルIO線との間に接続され、そのゲートが対応の列選択線CSLに接続される。対応の列選択線CSLが選択レベルの「H」レベルになると、列選択ゲートCSGが導通してセンスアンプSAがローカルIO線対に接続される。

【0045】ブロック選択スイッチBSは、図6に示すように、トランスファゲート14、15およびインバータ16を含む。トランスファゲート14、15は、それぞれグローバルIO線GIO、/GIOとローカルIO線LIO、/LIOとの間に接続される。ブロック選択信号φBは、インバータ16を介してトランスファゲート14、15のPチャネルMOSトランジスタ側のゲートに入力されるとともに、トランスファゲート14、15のNチャネルMOSトランジスタ側のゲートに直接入力される。各ブロック選択スイッチBSには、固有のブロック選択信号φBが予め割当てられている。ブロック選択信号φBは、アドレス信号に基づいて生成される。ブロック選択信号φBが活性化レベルの「H」レベルになるとトランスファゲート14、15が導通してローカルIO線対LIO、/LIOとグローバルIO線GIO、/GIOとが結合される。

【0046】次に、図1～図6に示したDRAMの動作について説明する。書込モード時は、列アドレス信号CA0～CAiに応じたグループの列選択線CSLが列デコーダ4によって選択レベルの「H」レベルに立上げられ、そのグループの列選択ゲートCSGが導通する。

【0047】次いで、入力バッファ8を介して与えられた書込データがグローバルIO線対GIO、ブロック選択線スイッチBSおよびローカルIO線対LIOを介して選択されたグループのビット線対BL、/BLに与えられる。次いで、行アドレス信号RA0～RAiに応じた副ワード線SWLが行デコーダ3および副ワードドライバ12によって選択レベルの「H」レベルに立上げられ、その副ワード線SWLに対応するメモリセルMCが活性化される。活性化されたメモリセルMCには対応のビット線BL、/BLのデータが電荷量の形態で書込まれる。

【0048】読出モード時は、各ビット線対BL、/BL間の電位がイコライズされた後、行アドレス信号RA0～RAiに応じた副ワード線SWLが行デコーダ3および副ワードドライバ12によって選択レベルの「H」レベルに立上げられる。ビット線BL、/BLの電位は、活性化されたメモリセルMCのデータに応じて微量だけ変化する。次いで、センスアンプSAが活性化されて、ビット線BL、/BLのうちの電位の高い方のビット線が電源電位VCCまで引上げられ、他方のビット線が接地電位GNDまで引下げられる。

【0049】次いで、列アドレス信号CA0～CAiに

応じたグループの列選択線CSLが列デコーダ4によって選択レベルの「H」レベルに立上げられて、そのグループの列選択ゲートCSGが導通する。選択されたグループのビット線対BL、 $\overline{BL}$ のデータが列選択ゲートCSG、ローカルIO線対LIO、ブロック選択スイッチBSおよびグローバルIO線対GIOを介して出力バッファ9に与えられる。出力バッファ9は、グローバルIO線対GIOを介して与えられた読出データを外部に出力する。

【0050】この実施の形態では、隣接する2つのメモリブロック列の間に2組のグローバルIO線対GIOを配置し、隣接する2つのメモリブロック行の間にメモリブロック2つ分の長さのローカルIO線対LIOを入れ子構造で配置し、各ローカルIO線対LIOの中央部とグローバルIO線対GIOとの交差部にブロック選択スイッチBSを設けた。したがって、複数のメモリブロック列の各間に4組のグローバルIO線対GIOが設けられていた従来例1に比べてエリアペナルティが小さくてすみ、かつ、ローカルIO線対LIOの端部または中央部にブロック選択スイッチが配置されていた従来例2に比べてデータ転送速度の高速化が図られる。

【0051】(変更例1)図7は、実施の形態1の変更例1によるDRAMのブロック選択スイッチBSおよびその周辺回路を示す回路図である。図7を参照して、このブロック選択スイッチBSは、NチャネルMOSトランジスタ21~27を含む。

【0052】NチャネルMOSトランジスタ21、22は、それぞれグローバルIO線GIO、 $\overline{GIO}$ とローカルIO線LIO、 $\overline{LIO}$ との間に接続され、各々のゲートは共にブロック選択信号 $\phi Bw$ を受ける。書込モード時にブロック選択信号 $\phi Bw$ が活性化レベルの「H」レベルになると、NチャネルMOSトランジスタ21、22が導通してグローバルIO線GIO、 $\overline{GIO}$ とローカルIO線LIO、 $\overline{LIO}$ とが結合される。

【0053】NチャネルMOSトランジスタ23、24と25、26は、それぞれグローバルIO線GIO、 $\overline{GIO}$ とノードN27との間に直列接続される。NチャネルMOSトランジスタ27は、ノードN27と接地電位GNDのラインとの間に接続される。NチャネルMOSトランジスタ23、25、27のゲートはブロック選択信号 $\phi Br$ を受け、NチャネルMOSトランジスタ24、26のゲートはそれぞれローカルIO線LIO、 $\overline{LIO}$ に接続される。ブロック選択信号 $\phi Br$ は読出モード時に活性化レベルの「H」レベルになる。この部分の動作については後述する。

【0054】ローカルIO線LIO、 $\overline{LIO}$ にイコライザ28が設けられる。イコライザ28は、PチャネルMOSトランジスタ29~31を含む。PチャネルM

OSTランジスタ29は、ローカルIO線LIOと $\overline{LIO}$ の間に接続される。PチャネルMOSトランジスタ30、31は、それぞれローカルIO線LIOと $\overline{LIO}$ と電源電位VCCのラインとの間に接続される。PチャネルMOSトランジスタ29~31のゲートは、イコライズ信号LIOEQを受ける。イコライズ信号LIOEQが活性化レベルの「L」レベルになると、PチャネルMOSトランジスタ29~31が導通してローカルIO線LIOと $\overline{LIO}$ が電源電位VCCにイコライズされる。

【0055】グローバルIO線対GIO、 $\overline{GIO}$ にイコライザ32が設けられる。イコライザ32は、PチャネルMOSトランジスタ33~35を含む。PチャネルMOSトランジスタ33は、グローバルIO線GIOと $\overline{GIO}$ の間に接続される。PチャネルMOSトランジスタ34、35は、それぞれグローバルIO線GIO、 $\overline{GIO}$ と電源電位VCCのラインとの間に接続される。PチャネルMOSトランジスタ33~35のゲートは、イコライズ信号GIOEQを受ける。イコライズ信号GIOEQが活性化レベルの「L」レベルになると、PチャネルMOSトランジスタ33~35が導通してグローバルIO線GIOと $\overline{GIO}$ が電源電位VCCにイコライズされる。

【0056】グローバルIO線対GIO、 $\overline{GIO}$ に充電回路36が設けられる。充電回路36は、ゲート幅が比較的小さなPチャネルMOSトランジスタ37、38を含む。PチャネルMOSトランジスタ37、38は、それぞれグローバルIO線GIO、 $\overline{GIO}$ と電源電位VCCのラインとの間に接続され、各々のゲートは信号CLPを受ける。信号CLPが活性化レベルの「L」レベルになると、PチャネルMOSトランジスタ37、38が導通してグローバルIO線GIO、 $\overline{GIO}$ が電源電位VCCに充電される。

【0057】次に、図7に示した回路の動作について説明する。書込モード時は、イコライザ28、32によってローカルIO線LIO、 $\overline{LIO}$ およびグローバルIO線対GIO、 $\overline{GIO}$ が「H」レベル(電源電位VCC)にイコライズされた後、ブロック選択信号 $\phi Bw$ が活性化レベルの「H」レベルになってグローバルIO線対GIO、 $\overline{GIO}$ とローカルIO線対LIO、 $\overline{LIO}$ とが結合される。

【0058】次に、入力バッファ8が書込データに従ってグローバルIO線GIO、 $\overline{GIO}$ のうちの一方を「L」レベルに引き下げる。これにより書込データがグローバルIO線対GIO、 $\overline{GIO}$ およびローカルIO線対LIO、 $\overline{LIO}$ を介して選択されたメモリセルMCに与えられる。

【0059】読出モード時は、図8に示すように、信号CLPが「L」レベルに固定され、グローバルIO線GIO、 $\overline{GIO}$ は微小電流によって「H」レベルに充電

される。また、イコライザ28, 32によってローカルIO線対LIO, /LIOおよびグローバルIO線対IO, /GIOが「H」レベルにイコライズされた後、イコライズ信号LIOEQ, GIOEQが非活性化レベルの「H」レベルになってイコライズが停止される。

【0060】次に時刻t0に、選択された列選択線CSLが活性化レベルの「H」レベルに立上げられ、読出データにおいてローカルIO線LIO, /LIOの一方(図では/LIO)の電位が徐々に下降する。次に、時刻t1に、ブロック選択信号φBrが活性化レベルの「L」レベルに立上げられる。これによりブロックスイッチBSのNチャネルMOSTランジスタ23, 25, 27が導通する。このときローカルIO線/LIOの電位がローカルIO線LIOの電位よりも低下し、NチャネルMOSTランジスタ26がNチャネルMOSTランジスタ24よりも高抵抗になっているので、グローバルIO線GIOの電位が徐々に下降する。グローバルIO線GIOと/GIOの電位差が所定値になったときにデータが読出され、時刻t2にブロック選択信号φBrが非選択レベルの「L」レベルとなりイコライズ信号LIOEQ, GIOEQが活性化レベルの「L」レベルとなってデータ読出が終了する。

【0061】なお、ローカルIO線対LIO, /LIOからグローバルIO線対GIO, /GIOに伝達されるときに読出データが反転されるが、このデータは図示しない反転回路で再度反転された後に外部に出力される。

【0062】この実施の形態では、センスアンプSAによってグローバルIO線対GIO, /GIOを駆動する必要がないので、センスアンプSAの駆動能力が小さくて済む。

【0063】(変更例2)図9は、実施の形態1の変更例2によるDRAMの冗長構成を示すブロック図である。図9を参照して、このDRAMでは、各メモリブロックごとにスペア列選択線SCSLが複数本(図では2本)ずつ設けられ、各メモリブロック列の各スペア列選択線SCSLに対応してアドレスコンパレータ40が設けられ、4つのブロック列に対応してそれぞれ列デコーダブロックDB1~DB4が設けられる。不良列選択線CSLは、同じメモリブロック列内のスペア列選択線SCSLで置換される。

【0064】アドレスコンパレータ40は、対応のメモリブロック列の不良列選択線CSL(図中×印が付される)の列アドレス信号がプログラムされる。図9では、第1メモリブロック列の列選択線CSL0、第2メモリブロック列の列選択線CSL1、CSL2、第3メモリブロック列の列選択線CSL3および第4メモリブロック列の列選択線CSL4の列アドレス信号がプログラムされた例が示される。アドレスコンパレータ40は、列アドレス信号CA0~CAiを受け、入力された列アドレス信号CA0~CAiとプログラムされた不良列選択

線CSLの列アドレス信号とが一致したことに応じて対応のスペア列選択線SCSLを選択レベルの「H」レベルに立上げる。

【0065】列デコーダブロックDBは、列アドレス信号CA0~CAiを受け、その列アドレス信号CA0~CAiに応じた列選択線CSLを選択する。また列デコーダブロックDBは、対応のメモリブロックのスペア列選択線SCSLが選択レベルの「H」レベルに立上げられた場合は、そのスペア列選択線SCSLで置換された不良列選択線CSLを非選択レベルの「L」レベルに固定する。

【0066】(変更例3)図10は、実施の形態1の変更例3によるDRAMの冗長構成を示すブロック図である。図10を参照して、このDRAMでは、各メモリブロック列ごとにスペア列選択線SCSLが複数本(図では4本)ずつ設けられ、第1および第3のブロック列の4本のスペア列選択線SCSLに共通に4つのアドレスコンパレータ41が設けられ、第2および第4のブロック列の4本のスペア列選択線SCSLに共通に4つのアドレスコンパレータ41が設けられ、4つのメモリブロック列に対応してそれぞれ4つの列デコーダブロックDB1~DB4が設けられる。

【0067】このDRAMでは、不良列選択線CSLは同じメモリブロックまたは隣接するメモリブロック内のスペア列選択線SCSLで置換される。2つのメモリブロック内で最大8本の不良列選択線CSLを置換できるが、各メモリブロックごとに独立にはプログラムできず、2メモリブロック単位での同時置換となる。

【0068】なお、このように同時置換させるのは、隣接する2つのメモリブロック列でデータの読出/書込が行なわれると、2つのメモリブロック列の間のグローバルIO線対GIOpでデータの衝突が生じるからである。

【0069】アドレスコンパレータ41には、対応のメモリブロック列の不良列選択線CSLの列アドレス信号がプログラムされる。図9では、第2メモリブロック列の列選択線CSL0、CSL1、第3メモリブロック列の列選択線CSL2および第4メモリブロック列の列選択線CSL3がプログラムされた例が示される。アドレスコンパレータ41は、列アドレス信号CA0~CAiを受け、入力された列アドレス信号CA0~CAiとプログラムされた不良列選択線CSLの列アドレス信号とが一致したことに応じて対応の2本のスペア列選択線SCSLを活性化レベルの「H」レベルに立上げる。

【0070】列デコーダブロックDBは、列アドレス信号CA0~CAiを受け、その列アドレス信号CA0~CAiに応じた列選択線CSLを選択する。また列デコーダブロックDBは、スペア列選択線SCSLが選択された場合は、そのスペア列選択線SCSLで置換された不良列選択線CSLを非活性化レベルの「L」レベルに

固定する。

【0071】このDRAMでは、不良列選択線CSLは同じメモリブロック列内または隣接するメモリブロック列内のスペア列選択線CSLで置換される。2つのメモリブロック列内で最大8本の不良列選択線CSLをスペア列選択線SCSLで置換できるが、各メモリブロック列ごとに独立にプログラムすることはできず、2つのブロック列で同時に置換される。スペア列選択線SCSLがヒットした場合、置換されるノーマル列選択線CSLは非活性化される。

【0072】〔実施の形態2〕図11は、この発明の実施の形態2によるDRAMのメモリマップの要部を示す図であって、図3と対比される図である。図11を参照して、このDRAMが図3のDRAMと異なる点は、各ローカルIO線対LIOにおいてブロック選択スイッチBSの両側にブロック選択スイッチBS'（図中○印で示される）が設けられる点である。図11では、各メモリブロック列の両側に1列ずつ合計8列のブロック選択スイッチBS'が示される。8列のブロック選択スイッチBS'は、それぞれ信号φa～φhで制御される。

【0073】たとえば第1および第2のメモリブロック列の間の領域では、図12に示すように、ブロック選択スイッチBSの一方側近傍および他方側近傍の2箇所たとえばローカルIO線対LIO2、/LIO2が切断される。ブロック選択スイッチBS'は、1対のNチャネルMOSTランジスタ43、44を含む。NチャネルMOSTランジスタ43、44は、それぞれ切断されたローカルIO線LIO2とLIO2、/LIO2と/LIO2の間に接続される。ブロック選択スイッチBSの一方側のブロック選択スイッチBS'に含まれるNチャネルMOSTランジスタ43、44のゲートは信号φbを受ける。ブロック選択スイッチBSの他方側のブロック選択スイッチBS'に含まれるNチャネルMOSTランジスタ43、44のゲートは信号φcを受ける。他のブロック選択スイッチBS'も同様である。

【0074】図13は、図11に示したDRAMの動作を示すタイムチャートである。奇数番のメモリブロック列に対応する列選択線CSLが選択レベルの「H」レベルとなった場合は、信号φa、φb、φe、φfが「H」レベルに維持され、信号φc、φd、φg、φhは「L」レベルとなる。信号φa、φb、φe、φfに対応するブロック選択スイッチBS'が導通し、信号φc、φd、φg、φhに対応するブロック選択スイッチBS'は非導通になる。これにより、ローカルIO線対LIOのうち今回の読出/書込サイクルにおいて不要な部分は、ブロック選択スイッチBSおよびグローバルIO線対GIOから切り離される。このため、ローカルIO線対LIOの容量が半分に、データ転送速度の一層の高速化が図られる。

【0075】なお、この実施の形態では、信号φa～φ

hは通常時において「H」レベルに維持されていたが、図14に示すように、φa～φhは通常時において「L」レベルに維持されていてもよいことは言うまでもない。

【0076】〔実施の形態3〕図15は、この発明の実施の形態3によるDRAMのメモリマップの要部を示す図であって、図11と対比される図である。

【0077】図15を参照して、このDRAMが図11のDRAMと異なる点は、各メモリブロック列に複数本（図では2本）のスペア列選択線SCSLが設けられている点と、ローカルIO線対LIOの延在する方向に隣接する2つのローカルIO線対LIO1とLIO1、LIO2とLIO2、LIO3とLIO3、LIO4とLIO4の各々の間がそれぞれブロック選択スイッチBS'（図中BS'よりも小さな○印で示される）で接続されている点である。図15では、4つのメモリブロック列の間に1列ずつ、合計3列のブロック選択スイッチBS'が示される。3列のブロック選択スイッチBS'は、それぞれ信号φi～φhで制御される。

【0078】第1および第2のメモリブロック列間のブロック選択スイッチBS'は、図16に示すように、1対のNチャネルMOSTランジスタ45、46を含む。NチャネルMOSTランジスタ45、46は、たとえばローカルIO線LIO1、/LIO1の一方端とその延在方向に隣接するローカルIO線LIO1、/LIO1の一方端との間にそれぞれ接続され、各々のゲートはともに信号φiを受ける。信号φiが活性化レベルの「H」レベルになるとNチャネルMOSTランジスタ45、46が導通して、2つのローカルIO線対LIO1は互いに接続される。他のブロック選択スイッチBS'も同様である。

【0079】図17は、図15に示したDRAMの動作を示すタイムチャートである。図17では、第1のメモリブロック列の正常な列選択線CSL1と第3のメモリブロック列の正常な列選択線CSL2とが同時選択された場合が示される。この場合は、信号φa～φhのうちの信号φa、φb、φe、φfのみが活性化レベルの「H」レベルとなる。これにより、第1メモリブロック列の両側のブロック選択スイッチBS'と第3メモリブロック列の両側のブロック選択スイッチBS'が導通し、左側の8本のグローバルIO線対GIOにデータが読出される。図17では、図15中の10本のグローバルIO線対GIOに読出される信号はそれぞれA～Jで示される。

【0080】図18は、図15に示したDRAMの動作を示す他のタイムチャートである。図17では、第1のメモリブロック列の不良な列選択線CSL1と第3のメモリブロック列の不良な列選択線CSL2とが同時選択された場合が示される。列選択線CSL1、CSL2

は、8本のスベア列選択線SCSL1～SCSL8のうちの任意のスベア列選択線と置換可能となっている。列選択線CSL1、CSL2は、たとえばスベア列選択線SCSL2、SCSL3で置換される。置換された列選択線CSL1、CSL2は、非活性化レベルの「L」レベルに維持される。信号φa～φhのうちの信号φa、φb、φd、φf、φjが活性化レベルの「H」レベルとなる。スベア列選択線SCSL2が「H」レベルにされて第1メモリブロック列から読出された4ビットの信号は信号A～Dとなる。スベア列選択線SCSL3が「H」レベルにされて第2メモリブロック列から読出された4ビットの信号は信号E～Hとなる。信号I、Jは「H」レベルに維持される。

【0081】(変更例)図19は、実施の形態3の変更例によるDRAMの動作を示すタイムチャートであって、図18と対比される図である。

【0082】この変更例では、図15のノーマル列選択線CSL1、CSL2は、スベア列選択線SCSL3、SCSL4、SCSL7、SCSL8のうちの任意の1本と置換可能となっている。ただし、列スベア列選択線SCSL3とSCSL4、SCSL7とSCSL8を同時に使用することはできない。

【0083】図19では、列選択線CSL1がスベア列選択線SCSL3と置換され、列選択線CSL2はそのまま使用される例が示される。この変更例では、置換された列選択線CSL1を非活性化する必要はない。

【0084】この場合は、信号φa～φkのうちの信号φc、φd、φf、φh、φkのみが活性化レベルの「H」レベルとなる。列選択線CSL1が「H」レベルにされて第1メモリブロック列から読出された4ビットの信号は第1メモリブロック列の両側のブロック選択スイッチBS'で阻止されてグローバルIO線対GIOPには現われない。スベア列選択線SCSL3が「H」レベルにされて第2メモリブロック列から読出された4ビットの信号は信号C～Fとなる。列選択線CSL2が「H」レベルにされて第3メモリブロック列から読出された4ビットの信号は信号G～Jとなる。

【0085】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0086】

【発明の効果】以上のように、請求項1に係る発明では、複数のメモリブロック列の各間に第1および第2のグローバルIO線対が設けられ、第Nおよび第N+1番の列のメモリブロックに第1のローカルIO線対が共通に設けられ、第N+1および第N+2番の列のメモリブロックに第2のローカルIO線対が共通に設けられ、ロ

ーカルIO線対の中央部とグローバルIO線対との交差部に第1または第2のスイッチ手段が設けられる。そして、制御手段が、第1および第2のスイッチ手段を制御して、行選択手段および列選択手段によって選択されたメモリブロックに対応するローカルIO線対とグローバルIO線対とを結合させる。したがって、複数のメモリブロック列の各間に4組のグローバルIO線対が設けられていた従来例1に比べてエリアペナルティが小さくすみ、かつ、ローカルIO線対の端部または中央部がグローバルIO線対に接続されていた従来例2に比べてデータ転送速度の高速化が図られる。

【0087】請求項2に係る発明では、請求項1に係る発明の第1および第2のスイッチ手段の各々は1対のトランスファゲートを含む。この場合は、第1および第2のスイッチ手段を容易に構成できる。

【0088】請求項3に係る発明では、請求項1に係る発明の第1および第2のスイッチ手段の各々はローカルIO線対の電位差を増幅してグローバルIO線対に与える増幅器を含む。この場合は、ローカルIO線対の電位差を増幅してグローバルIO線対に与えるので、データ転送速度の一層の高速化が図られる。

【0089】請求項4に係る発明では、請求項1から3のいずれかに係る発明の第1のローカルIO線対が中央部の両側で切断されて各切断部に第3のスイッチ手段が設けられ、第2のローカルIO線対が中央部の両側で切断されて各切断部に第4のスイッチ手段が設けられる。制御手段は、第3および第4のスイッチ手段も制御して、第1および第2のローカルIO線対のうちの選択されたメモリブロックに対応する部分以外の部分を切り離す。この場合は、第1および第2のローカルIO線対の容量を半分にすることができ、データ転送速度の一層の高速化が図られる。

【0090】請求項5に係る発明では、請求項1から3のいずれかに係る発明の各メモリブロック列にスベア列選択線およびアドレスコンパレータがさらに設けられる。この場合は、不良な列選択線をスベア列選択線で置換することができる。

【0091】請求項6に係る発明では、請求項5に係る発明の各アドレスコンパレータには、対応のスベア列選択線が属するメモリブロック列に属する不良な列選択線の列アドレス信号がプログラムされる。この場合は、制御手段の制御動作を簡単化できる。

【0092】請求項7に係る発明では、請求項5に係る発明の列選択手段は、複数の奇数番のメモリブロック列を複数の偶数番のメモリブロック列とのうちのいずれか一方を選択し、各アドレスコンパレータには、対応のスベア列選択線が属するメモリブロック列またはそのメモリブロック列に隣接するメモリブロック列に属する不良な列選択線の列アドレス信号がプログラムされ、アドレスコンパレータは、複数の奇数番のメモリブロック列また

は複数の偶数番のメモリブロック列に共通に設けられる。この場合は、より多くの不良列選択線を救済できる。

【0093】請求項8に係る発明では、請求項5に係る発明に、さらに、第1のローカルIO線対が中央部の両側で切断されて各切断部に第3のスイッチ手段が設けられ、第2のローカルIO線対が中央部の両側で切断されて各切断部に第4のスイッチ手段が設けられ、隣接する2つの第1のローカルIO線対間に第5のスイッチ手段が設けられ、隣接する2つの第2のローカルIO線対間に第6のスイッチ手段が設けられ、列選択手段は、複数の奇数番のメモリブロック列と複数の偶数番のメモリブロック列とのうちのいずれか一方を選択する。この場合は、選択されたメモリブロックとその両側の領域のグローバルIO線対との間を遮断したり、選択されたメモリブロックとその両側以外の領域のグローバルIO線対とを結合させることができる。

【0094】請求項9に係る発明では、請求項8に係る発明の各アドレスコンパレータには、対応のスペア列選択線が属するメモリブロック列またはそのメモリブロック列に隣接するメモリブロック列に属する不良列選択線の列アドレス信号がプログラムされ、制御手段は、隣接する2つのメモリブロックが選択された場合は、その2つのメモリブロックの間の領域のグローバルIO線対でデータが衝突しないように制御する。この場合は、多数のメモリブロックを選択でき、かつ、より多くの不良列選択線を救済できる。

【0095】請求項10に係る発明では、請求項8に係る発明の各アドレスコンパレータには、対応のスペア列選択線が属するメモリブロック列またはそれに隣接するメモリブロック列に属する不良列選択線の列アドレス信号がプログラムされ、列選択手段は不良列選択線を選択し、制御手段は、隣接する3つのメモリブロックが選択された場合は、第1および第2のローカルIO線対のうちの不良列選択線に対応するメモリブロックに対応する部分を第1および第2のグローバルIO線対と切離し、他の2つのメモリブロックの間の領域の第1および第2のグローバルIO線対でデータが衝突しないように制御する。この場合は、請求項9に係る発明と同じ効果が得られるほか、不良列選択線を非選択状態に固定する必要がないので、列選択手段の選択動作の簡単化が図られる。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1によるDRAMの全体構成を示すブロック図である。

【図2】 図1に示したDRAMのチップレイアウトを示す図である。

【図3】 図2のX部拡大図である。

【図4】 図3のY部拡大図である。

【図5】 図4に示したメモリブロックの奇数番のビッ

ト線対に関連する部分を詳細に示す図である。

【図6】 図5に示したブロック選択スイッチの構成を示す回路図である。

【図7】 実施の形態1の変更例1を示す回路図である。

【図8】 図7に示した変更例1の読出モード時の動作を示すタイムチャートである。

【図9】 実施の形態1の変更例2を示すブロック図である。

【図10】 実施の形態1の変更例3を示すブロック図である。

【図11】 この発明の実施の形態2によるDRAMのメモリマップの要部を示す回路ブロック図である。

【図12】 図11に示したブロック選択スイッチBS'の構成を示す回路ブロック図である。

【図13】 図11に示したDRAMの動作を示したタイムチャートである。

【図14】 実施の形態2の変更例を示すタイムチャートである。

【図15】 この発明の実施の形態3によるDRAMのメモリマップの要部を示す回路ブロック図である。

【図16】 図15に示したブロック選択スイッチBS''の構成を示す回路図である。

【図17】 図15に示したDRAMの動作を示すタイムチャートである。

【図18】 図15に示したDRAMの動作を示す他のタイムチャートである。

【図19】 図15に示したDRAMの変更例を示すタイムチャートである。

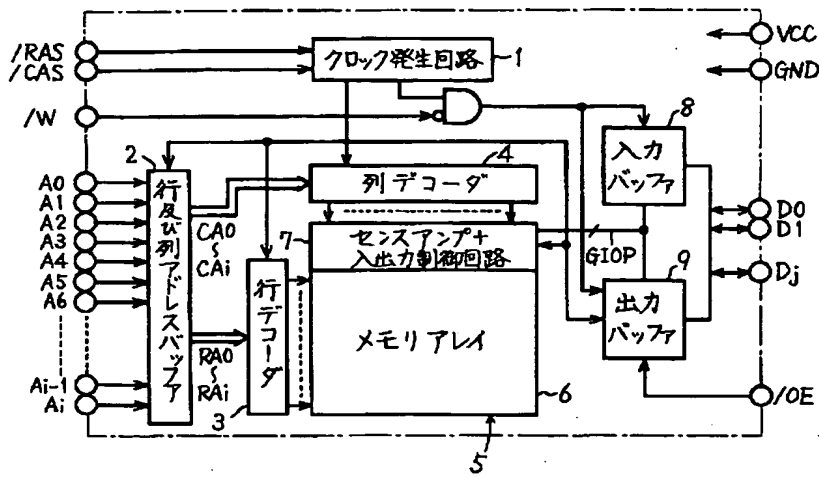
【図20】 従来のDRAMのメモリマップの要部を示す回路ブロック図である。

【図21】 従来の他のDRAMのメモリマップの要部を示す回路ブロック図である。

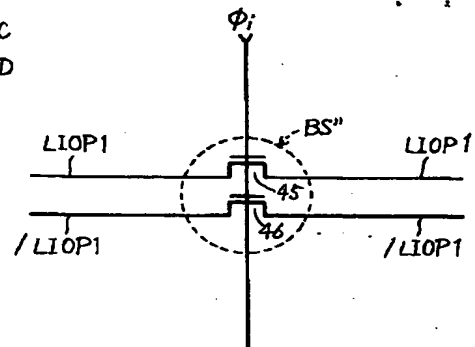
#### 【符号の説明】

1 クロック発生回路、2 行および列アドレスバッファ、3 行デコーダ、4 列デコーダ、5 メモリマップ、6 メモリアレイ、7 センスアンプ+入出力制御回路、8 入力バッファ、9 出力バッファ、10 半導体基板、11 周辺回路領域、12 副ワードドライバ、13 転送ゲート、14、15 トランスファゲート、16 インバータ、21~27、43~46 NチャネルMOSトランジスタ、28、32 イコライザ、29~31、33~35、37、38 PチャネルMOSトランジスタ、36 充電回路、40、41 アドレスコンパレータ、M メモリブロック、LIOP ローカルIO線対、GIOPグローバルIO線対、BS、BS'、BS'' ブロック選択スイッチ、MC メモリセル、WL ワード線、BLP ビット線対、SA センスアンプ、CSL列選択線、SCSLスペア列選択線、CSLG 列選択ゲート、DB 列デコーダブロック。

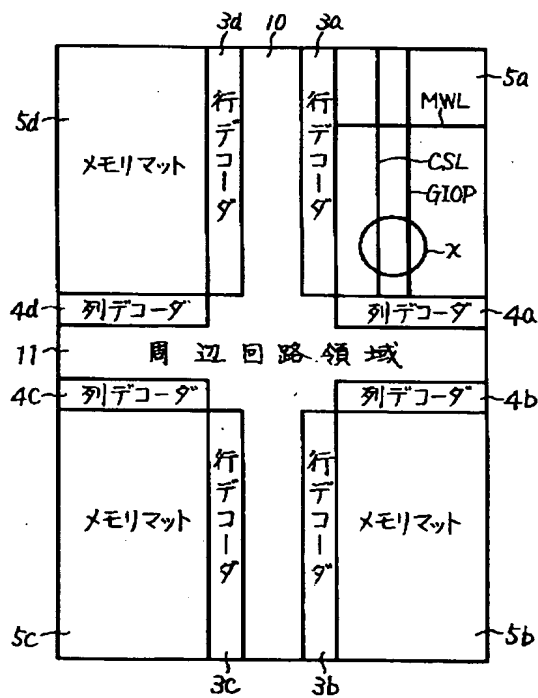
【図1】



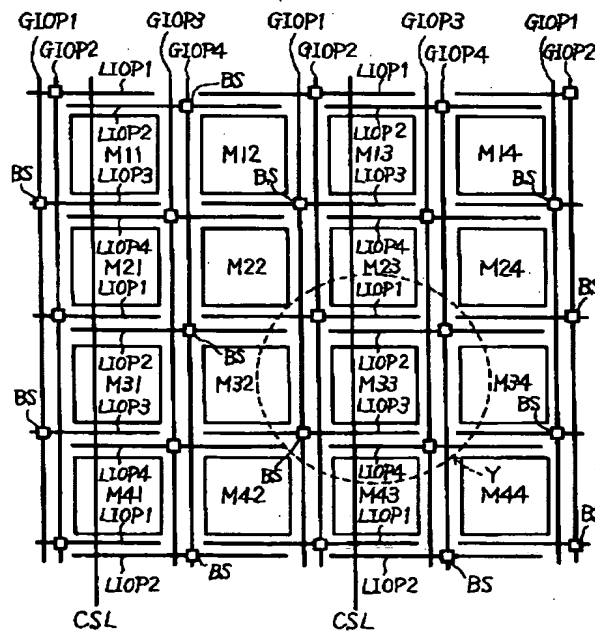
【図16】



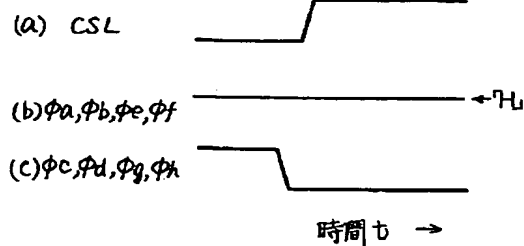
【図2】



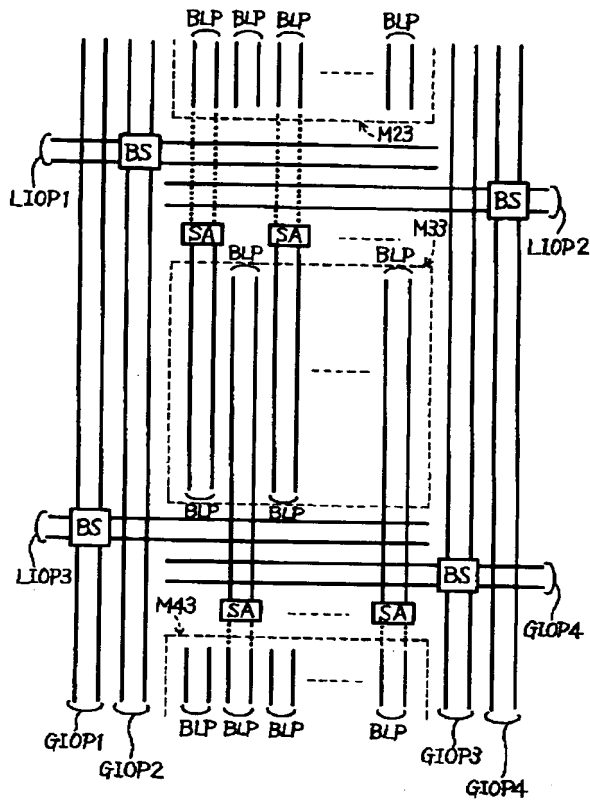
【図3】



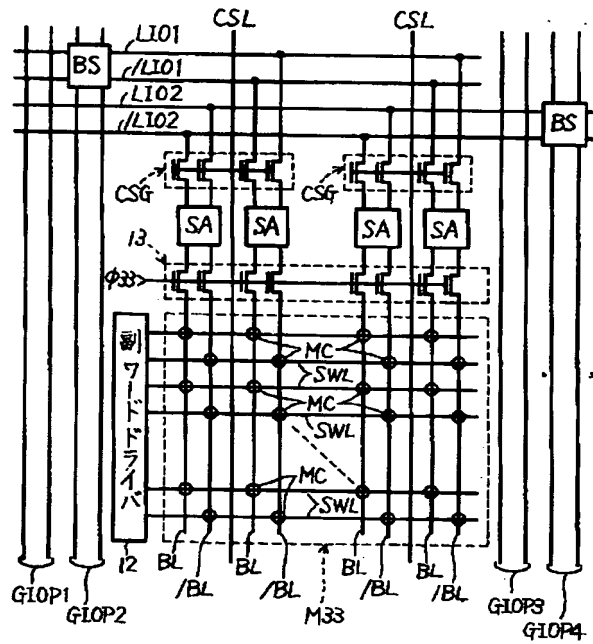
【図13】



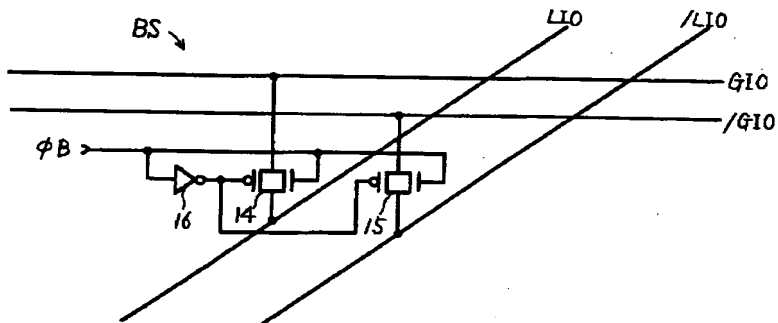
【図4】



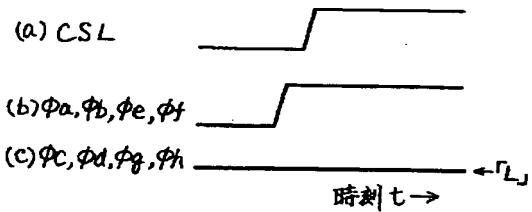
【図5】



【図6】

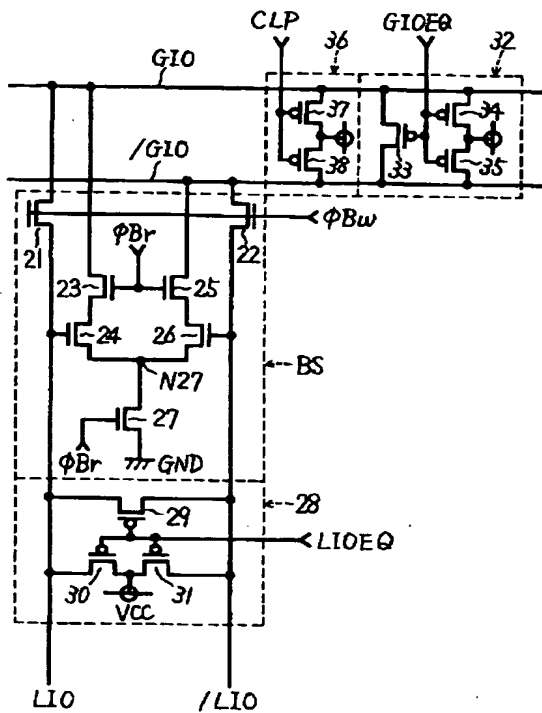


【図14】

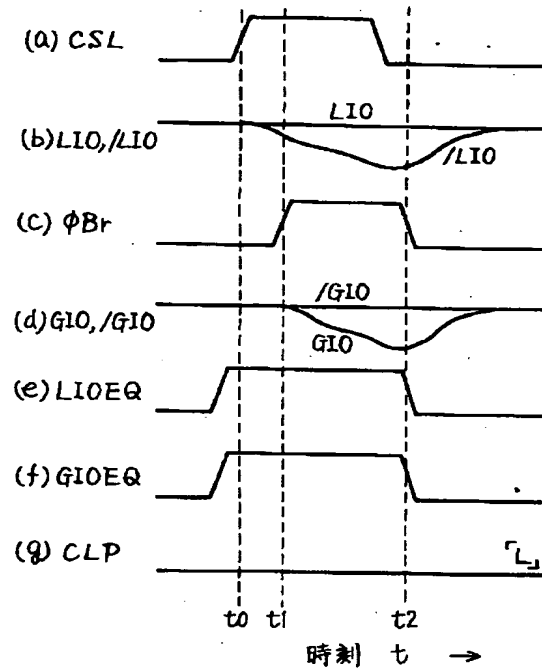




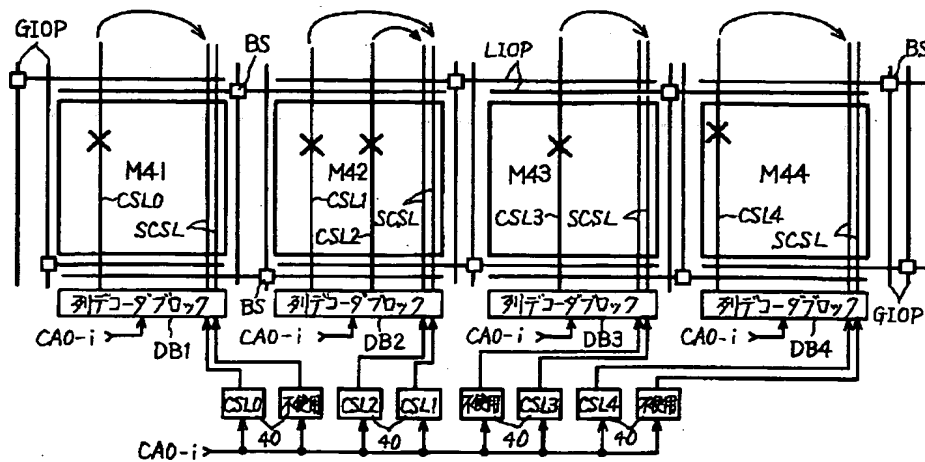
【図7】



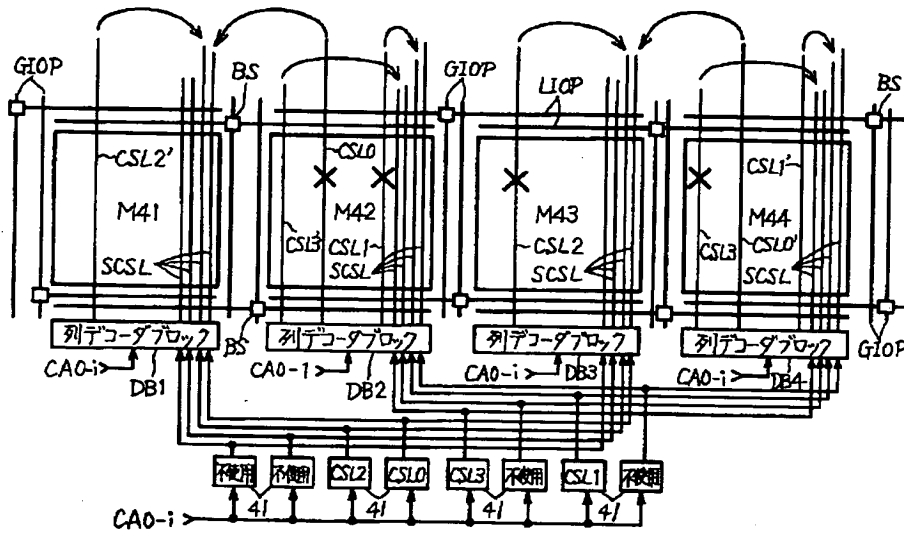
【図8】



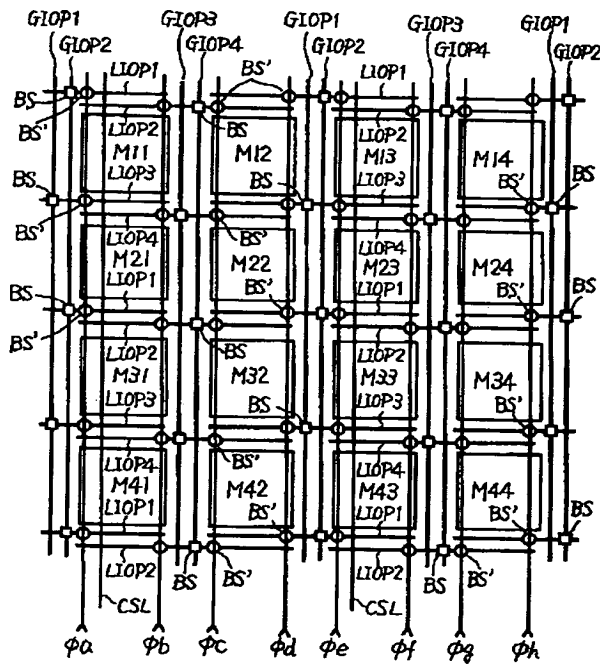
【図9】



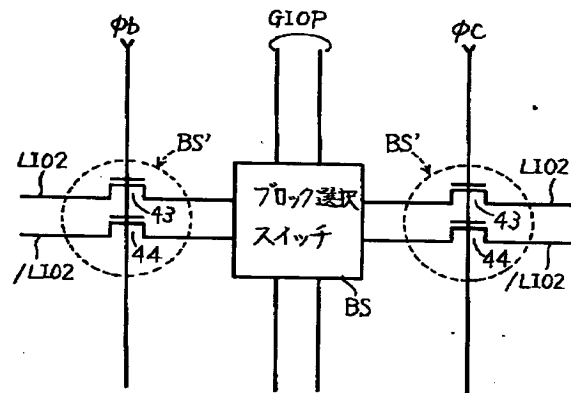
【図10】



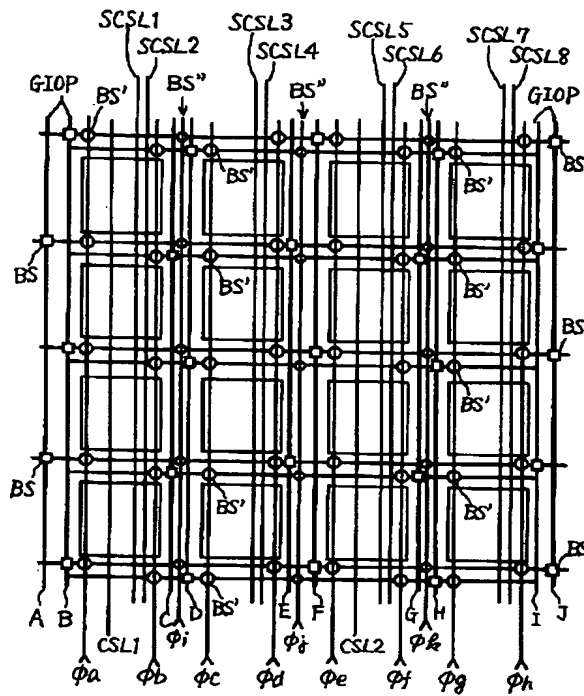
【図11】



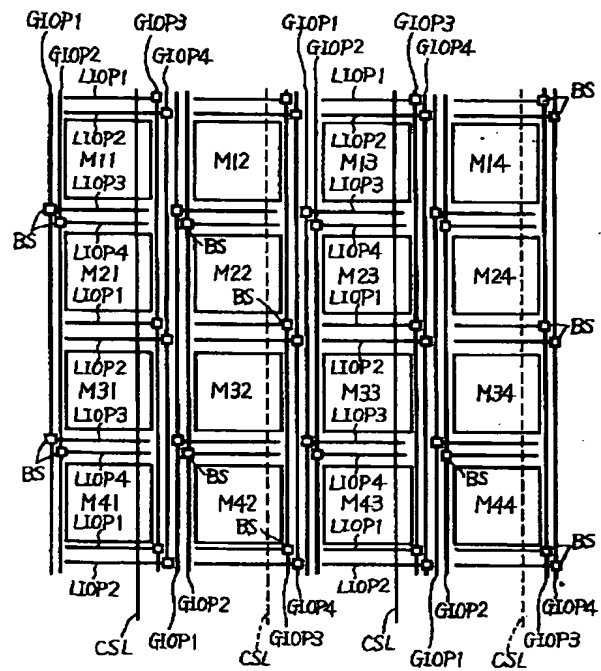
【図12】



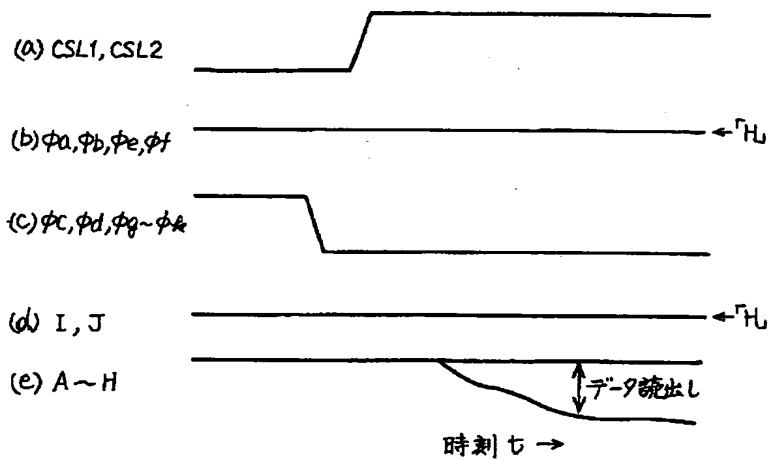
【図15】



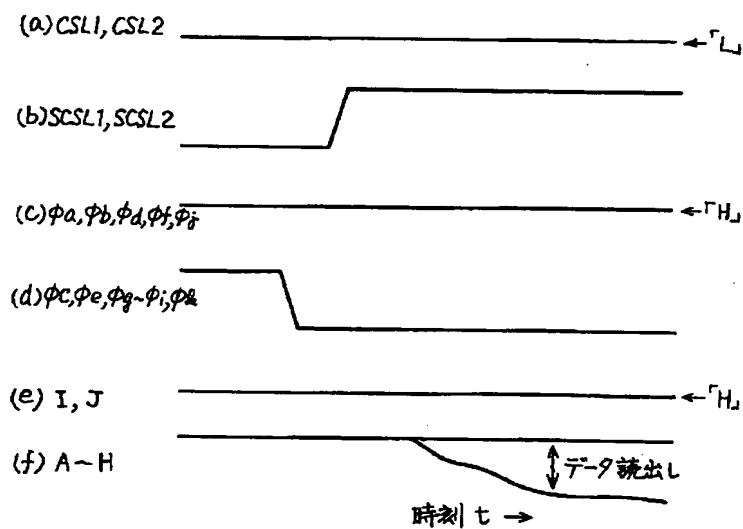
【図20】



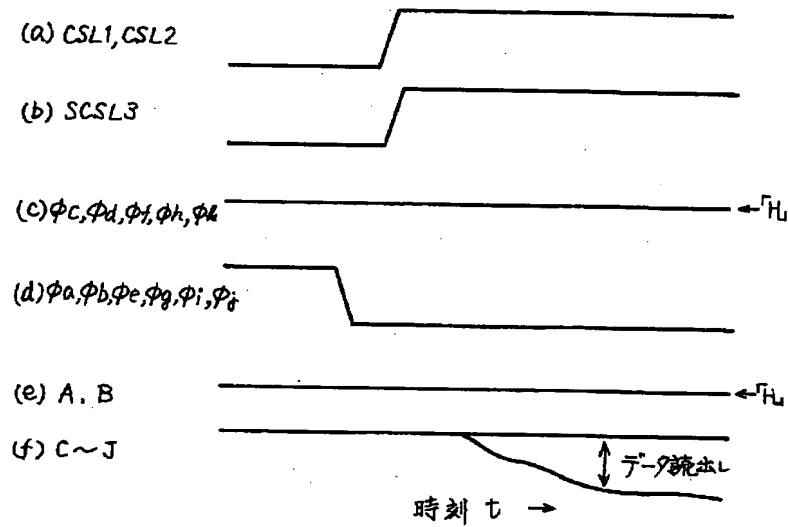
【図17】



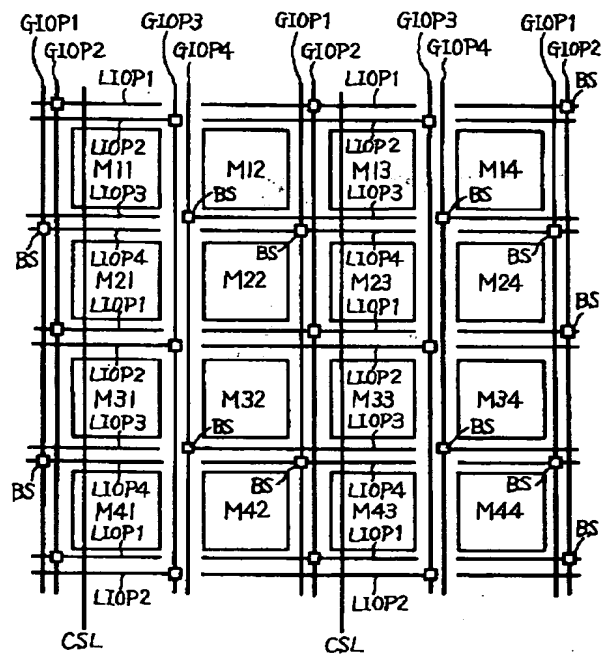
【図18】



【図19】



【図21】



フロントページの続き

Fターム(参考) 5B024 AA15 BA18 BA21 BA29 CA16  
CA17 CA21  
5L106 AA01 CC01 CC17 CC22 CC32  
FF04 FF05 GG01 GG05 GG06

~~THIS PAGE BLANK~~ (USPTO)

THIS PAGE BLANK (USPTO)